

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
31 January 2002 (31.01.2002)

PCT

(10) International Publication Number
WO 02/09159 A2

(51) International Patent Classification⁷: **H01L 21/00**

(21) International Application Number: PCT/US01/22679

(22) International Filing Date: 19 July 2001 (19.07.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/624,877 24 July 2000 (24.07.2000) US

(71) Applicant: **MOTOROLA, INC.** [US/US]; 1303 East Algonquin Road, Schaumburg, , IL 60196 (US).

(72) Inventors: **EISENBEISER, Kurt**; 9442 South Beck Avenue, Tempe, AZ 85284 (US). **FINDER, Jeffrey, M.**; 1421 west Canary Way, Chandler, AZ 85248 (US). **RAM-DANI, Jamal**; 822 West Devon Drive, Gilbert, AZ 85233 (US). **DROOPAD, Ravindranath**; 4515 west Tyson Street, Chandler, AZ 85226 (US). **OOMS, William, Jay**; 7200 West Dillon Wash Road, Prescott, AZ 86305 (US).

(74) Agent: **WUAMETT, JENNIFER B.**; Motorola, Inc., Intellectual Property Department, AZ 11/56-238, 3102 North 56th Street, Phoenix, AZ 85018 (US).

(81) Designated States (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

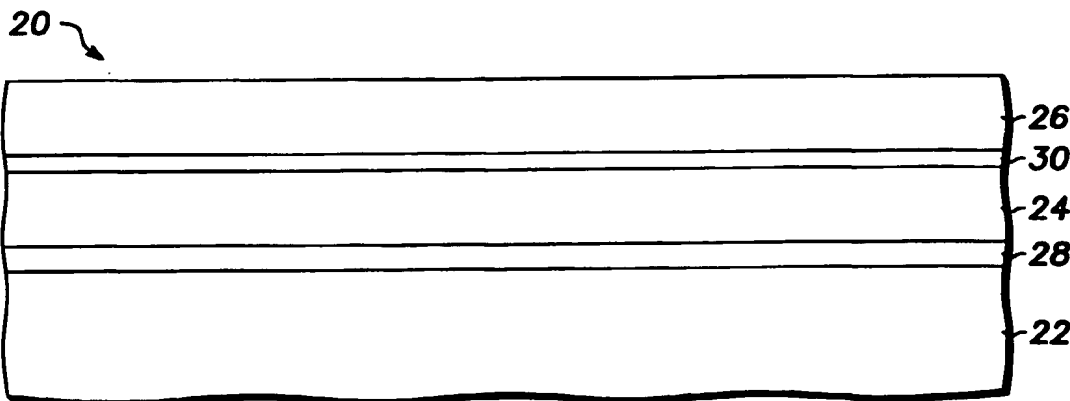
(84) Designated States (*regional*): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:

— without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: THIN-FILM METALLIC OXIDE STRUCTURE AND PROCESS FOR FABRICATING SAME



(57) Abstract: High quality epitaxial layers of metallic oxide materials can be grown overlying large silicon wafers by first growing an accommodating buffer layer on a silicon wafer. The accommodating buffer layer is a layer of monocrystalline oxide spaced apart from the silicon wafer by an amorphous interface layer of silicon oxide. The amorphous interface layer dissipates strain and permits the growth of a high quality monocrystalline oxide accommodating buffer layer. Any lattice mismatch between the accommodating buffer layer and the underlying silicon substrate is taken care of by the amorphous interface layer.

WO 02/09159 A2

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-505444

(P2004-505444A)

(43) 公表日 平成16年2月19日(2004. 2. 19)

(51) Int. Cl.⁷

H O 1 L 21/316

H O 1 L 21/20

F I

H O 1 L 21/316

H O 1 L 21/20

M

テーマコード (参考)

5 F O 5 2

5 F O 5 8

審査請求 未請求 予備審査請求 有 (全 49 頁)

(21) 出願番号 特願2002-514770 (P2002-514770)
(86) (22) 出願日 平成13年7月19日 (2001. 7. 19)
(85) 翻訳文提出日 平成15年1月24日 (2003. 1. 24)
(86) 国際出願番号 PCT/US2001/022679
(87) 国際公開番号 W02002/009159
(87) 国際公開日 平成14年1月31日 (2002. 1. 31)
(31) 優先権主張番号 09/624, 877
(32) 優先日 平成12年7月24日 (2000. 7. 24)
(33) 優先権主張国 米国 (US)

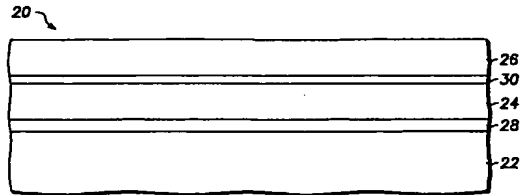
(71) 出願人 390009597
モトローラ・インコーポレイテッド
MOTOROLA INCORPORAT
RED
アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード130
3
(74) 代理人 100116322
弁理士 桑垣 衛
(72) 発明者 アイゼンバイザー、カート
アメリカ合衆国 85284 アリゾナ州
テンペ サウス ベック アベニュー
9442

最終頁に続く

(54) 【発明の名称】 薄膜金属酸化物構造体およびその製造方法

(57) 【要約】

金属酸化物材料の高品質のエピタキシャル層は、シリコンウエハ上に先ず調整バッファ層を成長させることにより、大型のシリコンウエハ上に成長させることが可能である。調整バッファ層は、酸化シリコンの非晶質境界層により、シリコンウエハから間隔をおいた単結晶酸化物の層である。非晶質境界層は歪みを解放し、高品質の単結晶酸化物調整バッファ層を成長させることが可能である。調整バッファ層と下に位置するシリコン基板との間の格子の不整合は、非晶質境界層により調整される。



【特許請求の範囲】

【請求項1】

単結晶半導体基板と、
同単結晶半導体基板上に位置する非晶質層と、
同非晶質層上に位置する、 x が0～1の範囲内である、 $Sr_xBa_{1-x}TiO_3$ からなる単結晶層と、
同単結晶層上に位置する単結晶酸化ペロブスカイト層と、からなるペロブスカイト酸化物構造体。

【請求項18】

単結晶半導体基板と、
同半導体基板上にエピタキシャルに成長した第1のペロブスカイト層と、
同第1のペロブスカイト層の下に位置する半導体基板上に形成された歪み解放酸化物層と、
同第1のペロブスカイト層上にエピタキシャルに成長した、同第1のペロブスカイト層の組成とは異なる組成を有する第2のペロブスカイト層と、からなるペロブスカイト酸化物構造体。

【請求項25】

単結晶シリコン基板と、
同基板上に位置する酸化シリコンと、
同基板上にエピタキシャルに成長した、 x が0～1の範囲内である、 $Sr_xBa_{1-x}TiO_3$ の層と、
 $Sr_xBa_{1-x}TiO_3$ の前記層上にエピタキシャルに成長し、ほぼ前記層と整合する格子と、からなるペロブスカイト酸化物構造体。

【請求項26】

単結晶シリコン基板を供給する工程と、
同基板上に第1のテンプレート層を形成する工程と、
同第1のテンプレート層上に単結晶酸化物の第1の層を成長させる工程と、
同第1の層の成長工程中に、該基板上に酸化シリコンの第1の非晶質層を成長させる工程と、
同第1の層上に第2のテンプレート層を形成する工程と、
該第2のテンプレート層上に単結晶ペロブスカイト酸化物の第2の層を成長させる工程と、
からなるペロブスカイト酸化物構造体を製造するための方法。

【請求項37】

単結晶基板を供給する工程と、
同基板上に単結晶酸化物の第1の層を成長させる工程と、
同第1の層の下に歪み解放層を成長させる工程と、
同第1の層上に単結晶ペロブスカイト酸化物層を成長させる工程と、からなるペロブスカイト酸化物構造体を製造するための方法。

【請求項41】

x が0～1の範囲内である、 $Sr_xBa_{1-x}TiO_3$ からなる第1の層を成長させる工程と、
同第1の層上に単結晶ペロブスカイト酸化物の第2の層を成長させる工程と、からなるペロブスカイト酸化物構造体を製造するための方法。

【発明の詳細な説明】

【0001】

(発明の分野)

本発明はマイクロエレクトロニック構造体とデバイス、およびその製造方法に関し、特に、薄膜金属酸化物構造体とデバイス、および薄膜金属酸化物構造体とデバイスの製造方法および使用方法に関する。

【0002】

(発明の背景)

各種の金属酸化物は、圧電性、強誘電性、強磁性、巨大磁気抵抗特性、および超伝導性等の望ましい特性を有する。こ等の酸化物は、これらの特性を利用するマイクロエレクトロニクス・デバイスに内蔵させ得るし、こ等のデバイスと一緒に使用することも可能である。例えば、金属酸化物は、強誘電メモリ素子等を形成するために使用され得る。

【0003】

一般に、金属酸化物膜の上記望ましい特性は、酸化物膜の結晶度が向上するにつれて増大する。例えば、超伝導物質は、その材料が、単結晶状態である場合に最高の伝導性を示す。さらに、メモリ素子等の素子を形成するためには、こ等の酸化物と半導体部品との集積も望ましい。それ故、薄膜単結晶金属酸化物を半導体基板上で成長させるための方法および装置の開発が望まれる。

10

【0004】

多様な金属酸化物材料の望ましい特性を得るために、またそれらはバルクの形では現在一般的に高価で、入手が困難なために、他の材料の基板上に所望の金属酸化物材料の薄膜を成長させるべく、多年にわたって多様な試みが行われてきた。しかし、金属酸化物材料の最適な特性を達成するためには、高い結晶品質の単結晶膜が望ましい。例えば、シリコン等の基板上に単結晶の金属酸化物材料の層を成長させるために種々の試みが行われてきた。これらの試みは、ホスト結晶と成長させる結晶との間の格子不整合のために、得られる金属酸化物材料の薄膜の結晶品質が劣化して、ほとんど成功しなかった。高い品質の金属酸化物の成長が、バルクのチタン酸ストロンチウム等の酸化物基板上で行われた。酸化物基板は小型で高価であることから、酸化物基板上に成長させた金属酸化物は多くの場合高価である。

20

【0005】

高品質の単結晶金属酸化物材料の大面积薄膜が低コストで入手可能ならば、金属酸化物材料のバルクウエハでの上記デバイスの製造コスト、またはバルクの酸化物材料の上の金属酸化物材料のエピタキシャル膜での上記デバイスの製造コストと比較した場合、こ等の膜を使用して多様な半導体デバイスを低コストで有利に製造することが可能である。さらに、高品質の単結晶金属酸化物材料の薄膜をシリコンウエハ等のバルクウエハ上に形成可能ならば、シリコンと金属酸化物材料双方の最高の特性を利用した集積素子構造体を達成することが可能となる。

30

【0006】

それ故、高品質の単結晶金属酸化物膜を他の単結晶材料上に形成したマイクロエレクトロニクス構造体、およびそ等の構造体の製造方法の必要性は存在する。添付の図面に示す本発明は、単に例示としてのものであって、本発明を制限するものではない。図面中、類似の参照番号は、類似の部品を示す。

【0007】

図面内の部品は、簡単に明確に示されてあるが、必ずしも正確な縮尺ではないこと。例えば、図面内のある部品は、本発明の実施例を理解を容易にするために、他の部品より拡大して図示されている。

【0008】

40

(図面の詳細な説明)

図1は、本発明の一実施例によるマイクロエレクトロニクス構造体20の一部の略断面図である。マイクロエレクトロニクス構造体20は、単結晶基板22、単結晶材料からなる調整バッファ層24、および単結晶金属酸化物材料の層26からなる。この場合、「単結晶」という用語は、半導体業界で通常使用されている意味を有する。この「単結晶」という用語は、1つの結晶、または実質的に1つの結晶を示し、半導体業界で通常使用される、シリコン、ゲルマニウムまたはシリコンとゲルマニウムの混合物の基板、および上記材料のエピタキシャル層に通常存在する転位等の比較的少数の欠陥を有するこれらの材料を含む。

【0009】

50

本発明の一実施例の場合には、構造体 20 は、また、基板 22 と調整バッファ層 24 との間に位置する非晶質中間層 28 も含む。構造体 20 は、また、調整バッファ層と単結晶酸化物層 26 との間にテンプレート層 30 を含んでもよい。以下にさらに詳細に説明するように、テンプレート層は、調整バッファ層上での金属酸化物層の成長を促進する。非晶質中間層は、調整バッファ層内の歪みを解放し、それにより、高い結晶品質の調整バッファ層の成長を促進する。

【0010】

本発明の一実施例による基板 22 は、大口径単結晶半導体ウエハが好ましい。該ウエハは、周期律表の I V 族の材料でよいが、I V A 族の材料が好ましい。V I 族の半導体材料の例としては、シリコン、ゲルマニウム、シリコンとゲルマニウムの混合物、シリコンと炭素の混合物、シリコン、ゲルマニウムおよび炭素の混合物等がある。基板 22 は、また、複合半導体材料から作ることも可能である。基板 22 の複合半導体材料は、特定の半導体構造体に応じて、I I I A 族および V A 族の元素の中の任意の元素 (I I I - V 半導体化合物)、I I I 族の化合物と V 族の化合物との混合物、I I (A または B) 族の元素および V I A 族の元素 (I I - V I 族の半導体化合物)、および I I 族の化合物と V I 族の化合物との混合物から選択し得る。例としては、ガリウムヒ素 (GaAs)、ガリウム・インジウムヒ素 (GaInAs)、ガリウム・アルミニウムヒ素 (GaAlAs)、リン化インジウム (InP)、硫化カドミウム (CdS)、テルル化カドミウム水銀 (CdHgTe)、セレン化亜鉛 (ZnSe)、セレン化亜鉛硫黄 (ZnSSe) 等がある。

【0011】

基板 22 は、シリコンまたはゲルマニウムを含むウエハであることが好ましく、半導体業界で使用される高品質の単結晶シリコンであることが最も好ましい。調整バッファ層 24 は、下の基板上にエピタキシャル成長した単結晶酸化物または窒化物であることが好ましい。本発明の一実施例の場合には、非晶質中間層 28 は、層 24 の成長の際に基板 22 の酸化により成長した調整バッファ層と基板 22 との間の境界面の、基板 22 上に成長する。非晶質中間層は、これがない場合には、基板とバッファ層との格子定数の違いにより単結晶調整バッファ層に発生する恐れがある歪みを解放する働きをする。本明細書では、格子定数は、表面の平面内で測定したセルの原子間距離を意味する。この歪みが、非晶質中間層で解放されないと、この歪みにより、調整バッファ層の結晶構造体に欠陥が発生する恐れがある。調整バッファ層の結晶構造体に欠陥は、単結晶金属酸化物層 26 内の高品質の結晶構造体の形成を困難にする。

【0012】

調整バッファ層 24 は、下部の基板および上部の金属酸化物材料と結晶互換性を有すべく選択された単結晶酸化物材料または窒化物材料であることが好ましい。例えば、上記材料としては、基板および後で形成される金属酸化物材料と整合する格子構造体を有する酸化物または窒化物を使用するとよい。調整バッファ層に適する材料としては、チタン酸アルカリ土類金属、ジルコニウム酸アルカリ土類金属、ハフニウム酸アルカリ土類金属、タンタル酸アルカリ土類金属、ルテニウム酸アルカリ土類金属、ニオブ酸アルカリ土類金属、バナジン酸アルカリ土類金属、アルカリ土類金属スズをベースとするペロブスカイト等の酸化ペロブスカイト、アルミン酸ランタン、酸化ランタン・スカンジウム、および酸化ガドリニウム等の金属酸化物がある。さらに、窒化ガリウム、窒化アルミニウム、および窒化ホウ素等の種々の窒化物も調整バッファ層として使用し得る。これらの材料の大部分は絶縁体であるが、例えば、ルテニウム酸ストロンチウムは導体である。一般に、これらの材料は、金属酸化物または金属窒化物であり、より詳細に説明すると、これらの金属酸化物または金属窒化物は、通常、少なくとも 2 つの異なる金属元素を含む。ある特定の用途の場合には、金属酸化物または金属窒化物は、3 つまたはそれ以上の異なる金属元素を含み得る。

【0013】

非晶質インタフェース層 28 は、基板 22 の表面の酸化により形成された酸化物であることが好ましく、酸化シリコンからなることがより好ましい。層 28 の厚さは、基板 22 の

10

20

30

40

50

格子定数と調整バッファ層 24 の格子定数の不整合による歪みを解放するのに十分なものである。通常、層 28 は、約 0.5 ～ 5 nm の厚さである。

【0014】

層 26 の金属酸化物材料は、特定の構造体または用途に従って選択することが可能である。例えば、層 26 は、圧電性、焦電性、強磁性、巨大磁気抵抗特性、または超伝導性等の望ましい特性を有する金属酸化物材料を含み得る。これらの材料の例としては、一般化学式が ABO_3 である、単斜晶系金属酸化物構造体、正方晶系金属酸化物構造体、立方晶系金属酸化物構造体、ペロブスカイト金属酸化物構造体等があり、この場合、A は、鉛、ランタン、ニオブウム、スカンジウム、およびこれらの組合わせのうちのものであり、B は、ジルコニウム、チタン、およびこれらの組合わせのうちのものであり、例えば、 $PbZrTiO_3$ 、 $PbNbZrTiO_3$ 、 $PbScZrTiO_3$ 、 $PbSrNbZrTiO_3$ 、 $PbLiZrTiO_3$ 、 $PbTiO_3$ 等の $(Pb, La, Na, Sc)(Zr, Ti)O_3$ である； ABO_3 の場合、A は、ストロンチウム、バリウム、カルシウムおよびこれらの組合せのうちのものであり、B は、ジルコニウム、ハフニウム、チタンおよびこれらの組合せのうちのものであり、例えば、 $SrTiO_3$ 、 $BaTiO_3$ 、 $BaSrTiO_3$ 、 $CaTiO_3$ 、 $BaZrO_3$ 等の $(Sr, Ba, Ca)(Zr, Hf, Ti)O_3$ である； $ACoO_3$ の場合、A は、ランタン、ストロンチウム、バリウム、ジルコニウムおよびこれらの組合せのうちのものであり、例えば、 $LaSrCoO_3$ 、 $LaZrCoO_3$ 等の $(La, Sr, Ba, Zr)CoO_3$ である； $ABMnO_3$ の場合、A は、希土類元素（例えば、ランタン）であり、B は、アルカリ土類金属元素（例えば、カルシウム、バリウム、またはストロンチウム）であり、例えば、 $LaSrMnO_3$ 、 $LaCaMnO_3$ 等の $(La, Sr, Ba, Ca)MnO_3$ である； $ABa_2Cu_3O_n$ の場合、A は、イットリウム、プラセオジウム、およびこれらの組合せのうちのものであり、n は 7 または 8 であり、例えば、 YBa_2Cu_3O 、 $YPrBa_2Cu_3O$ 等の $(Y, Pr)Ba_2Cu_3O_{7-8}$ である； $ARuO_3$ の場合、A は、ストロンチウム、バリウムおよびこれらの組合せのうちのものであり、 $(Sr, Ba)RuO_3$ である； $PbAO_3$ の場合、A は、マグネシウム、ニオブウム、およびこれらの組合せのうちのものであり、 $Pb(Mg, Nb)O_3$ である； $GdFeO_3$ ； $YAlO_3$ ； $LaAlO_3$ ； $SrVO_3$ ； $SrCrO_3$ ； $BaAO_3$ の場合、A は、鉛、ビスマス、およびこれらの組合せのうちのものであり、 $Ba(Pb, Bi)O_3$ である； $LaCoO_3$ ； $KNbO_3$ ； $NaWO_3$ ； $Bi_4Ti_3O_{12}$ ； $YMnO_3$ ；および $LaAO_3$ の場合、A は、アルミニウム、スカンジウム、およびこれらの組合せのうちのものであり、 $La(Al, Sc)O_3$ である。

【0015】

適当なテンプレート材料は、選択された位置で調整バッファ層 24 の表面に化学的に接着していて、後の金属酸化物層 26 のエピタキシャル成長の核形成の場を供給する。使用する場合、テンプレート層 30 は、1 単分子層から 10 単分子層の範囲の厚さを有する。

【0016】

図 2 は、本発明の他の実施例によるマイクロエレクトロニック構造体 40 の一部の断面図である。構造体 40 は、追加のバッファ層 32 が、調整バッファ層 24 と単結晶金属酸化物材料 26 との間に位置している以外は、上記構造体 20 に類似している。より詳細に説明すると、追加のバッファ層は任意のテンプレート層 30（または、テンプレート層が存在しない場合には、層 24）と単結晶金属酸化物材料上の層との間に位置している。単結晶酸化物材料からなる追加のバッファ層は、調整バッファ層の格子定数が上の金属酸化物材料層の格子定数と十分に整合しない場合に、格子補償を行う働きをする。

【0017】

図 3 は、本発明の他の実施例によるマイクロエレクトロニック構造体 34 の一部の略断面図である。構造体 34 は、構造体 34 が、調整バッファ層 24 および非晶質インタフェース層 28 を含まず非晶質層 36 を含み、さらに追加金属酸化物層 38 を含む点を除けば、構造体 20 に類似している。

【0018】

10

20

30

40

50

以下にさらに詳細に説明するように、非晶質層 36 は、最初に、調整パッファ層を形成し、次に上記と類似の方法で非晶質境界層を形成することにより形成し得る。次に、単結晶の金属酸化物層 38 が、単結晶調整パッファ層上に（エピタキシャル成長により）形成される。次に、単結晶調整パッファ層を非晶質層に変化させるために、調整パッファ層に対してアニール工程が実行される。この方法で形成された非晶質層 36 は、調整パッファ層およびインタフェース層の両方からの材料を含み、この非晶質層は、融合し得るし、融合し得ないこともある。それ故、層 36 は、1 つまたは 2 つの非晶質層を含み得る。基板 22 と金属窒化物層 38（層 38 形成後の）との間の非晶質層 36 の形成により、層 22 と 38 との間の応力が解放され、例えば、金属酸化物層 26 の形成等の後処理のための本来に柔軟な基板が形成される。

10

【0019】

図 1 および図 2 に示す上記工程は、単結晶基板上に単結晶金属酸化物層を成長させるのに充分である。しかし、単結晶調整パッファ層の非晶質酸化物層への転移を含む、図 3 で説明した工程は、単結晶金属酸化物層を成長させるのにより適している。何故なら、この工程を使用すれば、層 26 を形成する前に層 38 内のすべての歪みを解放し得るからである。

【0020】

金属酸化物層 38 は、金属酸化物層 26 または追加のパッファ層 32 に関連して本明細書で説明したすべての材料を含み得る。例えば、層 38 は、層 26 に適当な材料として上記したペロブスカイト金属酸化物を含み得る。

20

【0021】

本発明の一実施例の場合には、層 38 は、層 36 の形成中にアニールキャップとして、および、以降の金属酸化物層 26 形成のためのテンプレートとしての働きをする。それ故、層 38 は、（少なくとも 1 つの単分子層で）層 26 の成長のための適当なテンプレートを供給するのに十分厚く、かつ、層 38 を欠陥をほとんど含まない単結晶金属酸化物として十分に薄い（多くの場合、約 10 の単分子層より薄い）層として形成し得ることが好ましい。

【0022】

本発明の他の実施例の場合には、単結晶金属酸化物層 38 は、必要なマイクロエレクトロニクス・デバイス用の膜として使用するのに十分厚い金属酸化物材料（例えば、層 26 のところで説明した材料）からなる。この場合、本発明のマイクロエレクトロニクス構造体は、層 26 を含まない。すなわち、この実施例のマイクロエレクトロニクス構造体は、上記非晶質酸化層 36 の上に位置する 1 つの金属酸化物層を含むだけである。

30

【0023】

下記の例は、本発明の多様な他の実施例による構造体 20、40 および 34 で有用な材料の種々の組合せを示すが、これらの例は本発明を限定するものではない。これらの例は、単に例示としてのものであって、これらの例示で本発明が限定されることを意図するものではない。

【0024】

例 1

40

本発明の一実施例の場合には、単結晶基板 22 は、(100) の方向に配向しているシリコン基板である。シリコン基板としては、例えば、直径約 200 ~ 300 mm の相補性金属酸化膜半導体 (CMOS) 集積回路を製造する際に通常使用するシリコン基板を使用し得る。本発明のこの実施例の場合には、調整パッファ層 24 は、 $Sr_zBa_{1-z}TiO_3$ の単結晶層である。この場合、 z は、0 ~ 1 の範囲内であり、非晶質中間層は、シリコン基板と調整パッファ層との間の境界面に形成された酸化シリコン (SiO_x) の層である。 z の値は、後で形成される層 26 の対応する格子定数とよく整合する、1 つ以上の格子定数を得るべく選択される。調整パッファ層は、約 2 ~ 約 100 ナノメートル (nm) の厚さを有するが、約 10 nm の厚さを有することが好ましい。一般に、調整パッファ層は、必要な特性を得るために、基板から金属酸化物層を絶縁するために十分な厚さを有す

50

ることが好ましい。100nmより厚い層は、通常、小さな追加的な利点を有するが、一方では、コストを不必要に増大する。しかし、必要な場合には、もっと厚い層を製造することも可能である。酸化シリコンの非晶質中間層は、0.5～5nmの厚さを有し得るが、好適には、約1.5～2.5nmの厚さを有することが好ましい。

【0025】

本発明のこの実施例の場合には、金属酸化物層26は、約5～約500nmの厚さを有するルテニウム酸ストロンチウム(SrRuO_3)であるが、厚さは約10～100nmであることが好ましい。一般に、厚さは、層が形成される用途により異なる。

【0026】

例2

本発明の他の実施例の場合には、シリコン基板上の(Pb, La, Nb, Sc)(Zr, Ti) O_3 膜のエピタキシャル膜の成長に適している構造体が提供される。基板は、上記のシリコンウエハであることが好ましい。適当な調整バッファ層材料は、 $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$ である。この場合、xは、約2～100nmの厚さを有し、好適には、約5～15nmの厚さを有する、0～1の範囲内である。金属酸化物材料としては、例えば、約50nm～500nmの厚さを有する、 PbZrTiO_3 を使用し得る。

【0027】

再び、図1～図3について説明すると、基板22は、単結晶シリコン基板またはガリウムヒ素基板等の単結晶基板である。単結晶基板の結晶構造体は、格子定数と格子配向とによって特定される。同じように、調整バッファ層24も、単結晶材料であり、その単結晶材料の格子は、格子定数と結晶配向とによって特定される。調整バッファ層および単結晶基板の格子定数は、よく整合していなければならないが、別の場合には、他の結晶配向に対してある結晶配向が回転することにより、格子定数がほぼ整合してもよい。この場合、「ほぼ等しい」および「ほぼ整合」という用語は、下の層上に高品質の結晶層が成長し得るように、格子定数間に十分な類似性があることを意味する。

【0028】

図4は、ホスト結晶と成長した結晶の格子定数間の不整合の関数として、高い結晶品質の結晶層の、達成し得る厚さの関係を示す図面である。曲線42は、高い結晶品質材料の境界を示す。曲線42の右の領域は、多結晶になる傾向の層を示す。格子の不整合がない場合には、理論的には、無限に厚い高品質のエピタキシャル層をホスト結晶上に成長させることが可能である。格子定数の不整合が大きくなると、達成し得る厚さ、および高品質の結晶層が急速に減少する。例えば、基準点として、ホスト結晶と成長した結晶層との間の格子定数が、約2%以上の不整合であると、約20nm以上の単結晶エピタキシャル層を達成し得ない。

【0029】

本発明の一実施例では、基板22は、(100)または(111)の配向をしている単結晶シリコンウエハであり、調整バッファ層24は、チタン酸ストロンチウム・バリウムの層である。これら2つの材料間の格子定数は、シリコン基板ウエハの結晶配向に対してチタン酸材料の結晶配向を45度回転させることによりほぼ整合させることが可能である。非晶質境界層28の構造体に内蔵させると、この例の場合には、十分な厚さを有する場合には、酸化シリコン層が、ホスト・シリコンウエハの格子定数と成長したチタン酸層の格子定数の不整合から生じる恐れがあるチタン酸単結晶層内の歪みを低減する働きをする。その結果、本発明の一実施例の場合には、高品質の厚い単結晶チタン酸層を達成し得る。

【0030】

さらに、図1～図3について説明すると、層26は、エピタキシャルに成長した金属酸化物の層であり、結晶材料は、結晶格子定数と結晶配向とによって特定される。本発明の一実施例の場合には、層26の格子定数は、基板22の格子定数とは異なる。このエピタキシャルに成長した単結晶層において、高い結晶品質を達成するためには、調整バッファ層を高品質のものにしなければならない。さらに、層26においても、高い結晶品質を達成するために、ホスト結晶の結晶格子定数と、この場合には、単結晶調整バッファ層

10

20

30

40

50

の結晶格子定数とが実質的に整合することが望ましい。適当に選択した材料を使用した場合、格子定数のこの実質的な整合は、ホスト結晶の配向に対して成長した結晶の配向を回転させることにより達成し得る。ある例の場合には、ホスト酸化物と成長した金属酸化物層との間の結晶バッファ層を、格子定数の小さな違いにより発生する恐れがある成長した単結晶金属酸化物層内の歪みを低減するために使用し得る。それにより、成長した単結晶金属酸化物層内でよりよい結晶品質を達成し得る。

【0031】

下記の例は、本発明の一実施例による、図1-図3の構造体等のマイクロエレクトロニクス構造体の製造工程を示す。この工程は、シリコンまたはゲルマニウムを含む単結晶の半導体基板を供給することによりスタートする。本発明の好適な実施例の場合には、半導体基板は、(100)の配向を有するシリコンウェハである。基板は、好適には、きちんと軸と整合しているか、せいぜい軸から約0.5度の不整合であることが好ましい。半導体基板の少なくとも一部は、裸の表面を有するが、以下に説明するように、基板の他の部分は、他の構造体を囲むことが可能である。この「裸の」という用語は、基板の一部の表面は清浄化され、すべての酸化物、汚染物、または他の異物が除去されていることを意味する。周知のように、裸のシリコンは、非常に反応性が高く、容易に自然発生の酸化物を形成する。「裸の」という用語はこの自然発生の酸化物も含む。薄いシリコン酸化物は、また、半導体基板上に意図的に発生させることも可能であるが、この発生した酸化物は本発明の工程には重要でない。単結晶基板上に単結晶酸化物層をエピタキシャル成長させるために、自然発生の酸化物層を最初に除去して、下の基板の結晶構造体を露出させなければならない。下記の工程は、分子線エピタキシー(MBE)により行うことが好ましいが、他のエピタキシャル工程も、本発明により使用し得る。自然発生の酸化物は、最初に、MBE装置で、ストロンチウム、バリウム、ストロンチウムとバリウムの組合せ、または他のアルカリ土類金属またはアルカリ土類金属の組合せの薄い層を熱的に蒸着させることにより除去され得る。ストロンチウムを使用する場合には、ストロンチウムを自然発生のシリコン酸化物層と反応させるために、基板を約750℃に加熱する。ストロンチウムは、酸化シリコンの、酸化シリコンを含んでいない表面への移動を低減する。配列された2×1構造体を含む結果として得られる表面は、ストロンチウム、酸素およびシリコンを含む。配列された2×1構造体は、単結晶酸化物の上の層の配列成長に対してテンプレートを形成する。テンプレートは、上の層の結晶成長の核形成を行うために必要な化学的および物理的性質を提供する。

【0032】

本発明の他の実施例の場合には、自然発生の酸化シリコンを変換することができ、酸化ストロンチウム、酸化ストロンチウム・バリウム、または酸化バリウム等のアルカリ土類金属酸化物を低温度でMBEにより基板表面に蒸着させることにより、また、後で構造体を約750℃の温度に加熱することにより、単結晶酸化物層の成長に対する準備をし得る。この温度で、酸化ストロンチウムと自然発生の酸化物シリコンとの間で固体反応が起こり、自然発生の酸化シリコンが低減し、構造体表面上に残るストロンチウム、酸素、およびシリコンを含む、配列された2×1構造体が残る。この場合も、これにより、配列された単結晶酸化物層の以降の成長に対するテンプレートが形成される。

【0033】

基板の表面から酸化シリコンが除去された後で、本発明の一実施例の場合には、基板は約200~800℃の範囲内の温度に冷却され、チタン酸ストロンチウムの層が、分子線エピタキシーによりテンプレート層上に成長する。MBE工程は、ストロンチウム源、チタン源および酸素源を露出させるために、MBE装置内のシャッターを開くことによりスタートする。ストロンチウムとチタンの比率は、約1:1である。酸素の分圧は、最初に、約0.3~0.5nm/分の成長速度で、化学量論のチタン酸ストロンチウムを成長させるために最低値に設定される。チタン酸ストロンチウムの成長がスタートしてから、酸素の分圧を最初の最低値から上昇させる。酸素の圧力を過度に高くすると、下の基板と成長するチタン酸ストロンチウム層との間の境界面に非晶質酸化シリコン層が成長する。酸化

10

20

30

40

50

シリコン層が成長するのは、成長するチタン酸ストロンチウム層を通して、酸素が境界面に拡散するからであり、境界面では、酸素は下の基板の表面でシリコンと反応する。チタン酸ストロンチウムは、下の基板の配列された 2×1 結晶構造体に対して 45° 回転している結晶配向を有する配列された単結晶として成長する。非晶質酸化シリコン中間層がない場合には、シリコン基板と成長する結晶との間の格子定数の小さな不整合により、チタン酸ストロンチウム層内に発生する恐れがある歪みは、非晶質酸化シリコン中間層内で解放される。

【0034】

チタン酸ストロンチウムの層が必要な厚さに成長した後で、単結晶チタン酸ストロンチウムの上に、必要な金属酸化物材料の以降のエピタキシャル層の成長に関わるテンプレート層が形成される。例えば、チタン酸ストロンチウム単結晶層のMBE成長を、チタンの1-2単分子層、チタン-酸素の1-2単分子層、またはストロンチウム-酸素の1-2単分子層で成長を停止させることにより形成し得る。(形成した場合には)テンプレートが形成された後で、MBEまたは他の適当な技術により金属酸化物が成長する。

【0035】

図2の構造体は、追加バッファ層蒸着ステップを追加することにより、上記工程で形成し得る。バッファ層は、単結晶金属酸化物層の蒸着前に、テンプレートか、または調整バッファ層の上に形成される。バッファ層が酸化物の超格子である場合には、その超格子は、例えば、MBEにより、上記テンプレート上に蒸着させることが可能である。

【0036】

図3の構造体34は、調整バッファ層を成長させ、基板22上に非晶質酸化物層を形成し、上記のように、調整バッファ層上に金属酸化物層38を成長させることにより形成し得る。次に、調整バッファ層および非晶質酸化物層は、調整バッファ層の結晶構造体を単結晶から非晶質に変化させるのに十分なアニール工程で処理され、それにより、非晶質酸化物層および新しい非晶質調整バッファ層の組み合わせが1つの非晶質酸化物層36を形成するように、非晶質層が形成される。その後で、層26が、層38上で成長する。別な方法としては、アニール工程を層26が成長した後で実行することも可能である。

【0037】

この実施例の1つの態様により、基板22、調整バッファ層、非晶質酸化物層、および層38を、ピーク温度が約 700°C ~ 1000°C であり、処理時間が約10秒~約10分である急速熱アニール工程で処理して、層36が形成される。しかし、本発明により、調整バッファ層を非晶質層に変化させるために、他の適当なアニール工程を使用することも可能である。例えば、レーザアニール工程、または「従来の」熱アニール工程を、(適当な環境で)層36を形成するために使用し得る。従来の熱アニールを、層36を形成するために使用する場合には、アニール工程中の層38の劣化を防止するために、層30の1つ以上の成分の過度の圧力を必要とする場合もある。

【0038】

すでに説明したように、構造体34の層38は、層32または26に適している任意の材料を含み得る。それ故、層32または26に関連して説明した任意の蒸着方法または成長方法を、層38を蒸着するために使用し得る。

【0039】

上記工程は、シリコン基板、上に位置する酸化物層、および単結晶金属酸化物層を含む半導体構造体を分子線エピタキシー工程により形成するための工程を示す。上記工程は、また、化学蒸着(CVD)法、有機金属化学蒸着(MOCVD)法、マイグレーション・エンハンスド・エピタキシー(MEE)法、原子層エピタキシー(ALD)法、物理蒸着(PVD)法、化学溶液蒸着(CSD)法、パルスレーザ蒸着(PLD)法等の工程により実行することも可能である。さらに、類似の工程により、アルカリ土類金属のチタン酸塩、ジルコン酸塩、ハフニウム酸塩、タンタル酸塩、バナジン酸塩、ルテニウム酸塩、およびニオブ酸塩、アルカリ土類金属スズをベースとするペロブスカイト等の酸化ペロブスカイト、アルミン酸ランタン、酸化ランタン・スカンジウム、および酸化ガドリニウム等の

10

20

30

40

50

他の単結晶調整バッファ層も成長させることが可能である。さらに、M B E等の類似の工程により、他の金属酸化物層も、単結晶酸化物調整バッファ層の上に蒸着させることも可能である。例えば、金属酸化物を、P L Dにより、エキシマレーザで、必要な材料の目標を剥離し、基板を約300℃～約500℃の温度に加熱することにより成長させることが可能である。

【0040】

種々の各金属酸化物材料および単結晶酸化物調整バッファ層は、各層の成長をスタートさせるために適当なテンプレートを使用し得る。その場合、適当なテンプレート材料を、成長する層26と一緒に上記方法で成長させることが可能である。

【0041】

上記説明においては、特定の実施例を参照しながら本発明を説明してきたが、通常の当業者であれば、特許請求の範囲に記載した本発明の範囲から逸脱することなしに、種々の修正および変更を行うことが可能であることを理解し得るだろう。それ故、本明細書および図面は、本発明を限定するものではなく、説明するためのものと見なすべきであり、そのすべての修正は、本発明の範囲内に含まれる。

10

【0042】

有利な点、他の利点および問題の解決方法を、特定の実施例を参照しながら説明してきたが、その有利な点、他の利点および問題の解決方法、および任意の有利な点、他の利点および問題の解決方法をもたらすか、またはもっと優れたものにする任意の要素は、任意のまたはすべての特許請求の範囲の重要な機能または要素、必要な機能または要素、または必要不可欠な機能または要素と見なすべきではない。本明細書内で使用する場合、「含む」、「含んでいる」という用語、または任意のこれらの用語から派生する用語は、工程、方法、物品、または要素のリストを含む装置が、これらの要素だけを含むのではなく、明確にとリストに記載されていないか、または上記工程、方法、物品または装置に固有な他の要素を含み得るような、一般的な要素も含む。

20

【図面の簡単な説明】

【図1】本発明の種々の実施例によるデバイス構造体の略断面図。

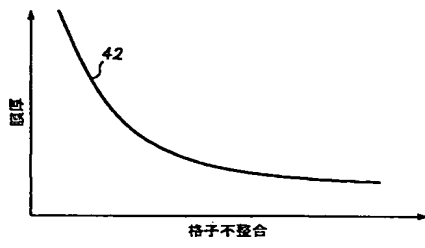
【図2】本発明の種々の実施例によるデバイス構造体の略断面図。

【図3】本発明の種々の実施例によるデバイス構造体の略断面図。

【図4】達成可能最大膜厚と、ホスト結晶と成長した結晶上の層との間の格子の不整合との関連図。

30

【図4】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

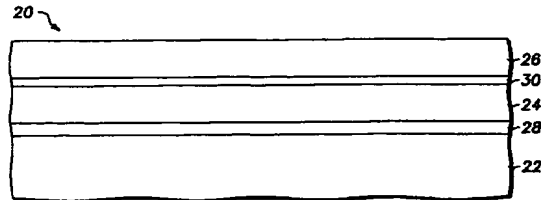
(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
31 January 2002 (31.01.2002)

PCT

(10) International Publication Number
WO 02/09159 A2

- (51) International Patent Classification: E01L 21/00
- (21) International Application Number: PCT/US01/22679
- (22) International Filing Date: 19 July 2001 (19.07.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data:
09634,877 24 July 2000 (24.07.2000) US
- (71) Applicant: MOTOROLA, INC. (US/US); 1303 East Algonquin Road, Schaumburg, IL 60196 (US).
- (72) Inventors: EISENREISER, Kurt; 9442 South Bact Avenue, Tempe, AZ 85284 (US). FINDER, Jeffrey, M.; 1421 West Canary Way, Chandler, AZ 85248 (US). RAMDANI, Jassal; 822 West Devon Drive, Gilbert, AZ 85233 (US). DRUDOPAD, Ravindranath; 4515 West Tyson Street, Chandler, AZ 85226 (US). OOMIS, William, Jay; 7200 West Dillon Wash Road, Prescott, AZ 86305 (US).
- (74) Agent: WUAMETT, JENNIFER B.; Motorola, Inc., Intellectual Property Department, AZ 11/56-238, 3102 North 56th Street, Phoenix, AZ 85018 (US).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GH, GM, GR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW). Eurasian patent (AM, AZ, BY, EG, GZ, MD, RU, TJ, TM). European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR). OAPI patent (BF, BI, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NB, NE, TD, TO).
- Published:
— without international search report and to be republished upon receipt of that report
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: THIN-FILM METALLIC OXIDE STRUCTURE AND PROCESS FOR FABRICATING SAME



(57) Abstract: High quality epitaxial layers of metallic oxide materials can be grown overlying large silicon wafers by first growing an accommodating buffer layer on a silicon wafer. The accommodating buffer layer is a layer of monocryalline oxide spaced apart from the silicon wafer by an amorphous interface layer of silicon oxide. The amorphous interface layer dissipates strain and permits the growth of a high quality monocryalline oxide accommodating buffer layer. Any lattice mismatch between the accommodating buffer layer and the underlying silicon substrate is taken care of by the amorphous interface layer.

WO 02/09159 A2

WO 02/09159

PCT/US01/22679

THIN-FILM METALLIC OXIDE STRUCTURE
AND PROCESS FOR FABRICATING SAME

5 Field of the Invention

This invention relates generally to microelectronic structures and devices and to a method for their fabrication, and more specifically to thin-film, metallic oxide structures and devices and to the fabrication and
10 use of thin-film, metallic oxide structures and devices.

Background of the Invention

Various metallic oxides exhibit desirable characteristics such as piezoelectric, ferroelectric, ferromagnetic, colossal magnetic resistance, and super
15 conductivity properties. Such oxides may be included or used in connection with microelectronic devices that take advantage of these characteristics. For example, metallic oxides may be used to form ferroelectric memory devices
20 and the like.

Generally, the desirable characteristics of the metallic oxide films increase as the crystallinity of the oxide film increases. For example, superconductive materials exhibit the highest conductivity when the
25 material is in a monocrystalline form. Moreover, integration of such oxides with semiconductor components to form devices such as memory devices is also desirable. Accordingly, methods and apparatus for growing thin-film, monocrystalline metallic oxides on semiconductor
30 substrates are desired.

Because of the desirable characteristics of various metallic oxide materials, and because of their present generally high cost and low availability in bulk form, for many years attempts have been made to grow thin films of

WO 02/09159

PCT/US01/22679

2

the desired metallic oxide materials on a foreign substrate. To achieve optimal characteristics of metallic oxide material, however, a monocrystalline film of high crystalline quality is desired. Attempts have been made, 5 for example, to grow layers of a monocrystalline metallic oxide material on substrates such as silicon. These attempts have generally been unsuccessful because lattice mismatches between the host crystal and the grown crystal have caused the resulting thin film of metallic oxide 10 material to be of low crystalline quality. Metallic oxides of higher quality have been grown over oxide substrates such as bulk strontium titanate. Metallic oxides grown over oxide substrates are often expensive because, in part, the oxide substrate is small and expensive.

15 If a large area thin film of high quality monocrystalline metallic oxide material was available at low cost, a variety of semiconductor devices could advantageously be fabricated using that film at a low cost compared to the cost of fabricating such devices on a bulk 20 wafer of the metallic oxide material or in an epitaxial film of such material on a bulk wafer of oxide material. In addition, if a thin film of high quality monocrystalline metallic oxide material could be realized on a bulk wafer such as a silicon wafer, an integrated 25 device structure could be achieved that took advantage of the best properties of both the silicon and the metallic oxide material.

Accordingly, a need exists for a microelectronic structure that provides a high quality monocrystalline 30 metallic oxide film over another monocrystalline material and for a process for making such a structure.

WO 02/09159

PCT/US01/22679

3

Brief Description of the Drawings

The present invention is illustrated by way of example and not limitation in the accompanying figures, in which like references indicate similar elements, and in which:

FIGS. 1 - 3 illustrate schematically, in cross section, device structures in accordance with various embodiments of the invention; and

FIG. 4 illustrates graphically the relationship between maximum attainable film thickness and lattice mismatch between a host crystal and a grown crystalline overlayer.

Skilled artisans will appreciate that elements in the figures are illustrated for simplicity and clarity and have not necessarily been drawn to scale. For example, the dimensions of some of the elements in the figures may be exaggerated relative to other elements to help to improve understanding of embodiments of the present invention.

Detailed Description of the Drawings

FIG. 1 illustrates schematically, in cross section, a portion of a microelectronic structure 20 in accordance with an embodiment of the invention. Microelectronic structure 20 includes a monocrystalline substrate 22, accommodating buffer layer 24 comprising a monocrystalline material, and a layer 26 of a monocrystalline metallic oxide material. In this context, the term 'monocrystalline' shall have the meaning commonly used within the semiconductor industry. The term shall refer to materials that are a single crystal or that are substantially a single crystal and shall include those.

WO 02/09159

PCT/US01/22679

4

materials having a relatively small number of defects such as dislocations and the like as are commonly found in substrates of silicon or germanium or mixtures of silicon and germanium and epitaxial layers of such materials commonly found in the semiconductor industry.

5 In accordance with one embodiment of the invention, structure 20 also includes an amorphous intermediate layer 28 positioned between substrate 22 and accommodating buffer layer 24. Structure 20 may also include a template layer 30 between the accommodating buffer layer and monocrystalline oxide layer 26. As will be explained more fully below, the template layer helps to initiate the growth of the metallic oxide layer on the accommodating buffer layer. The amorphous intermediate layer helps to relieve the strain in the accommodating buffer layer and, by doing so, aids in the growth of a high crystalline quality accommodating buffer layer.

Substrate 22, in accordance with an embodiment of the invention, is a monocrystalline semiconductor wafer, preferably of large diameter. The wafer can be of a material from Group IV of the periodic table, and preferably a material from Group IVA. Examples of Group IV semiconductor materials include silicon, germanium, mixed silicon and germanium, mixed silicon and carbon, mixed silicon, germanium and carbon, and the like. Substrate 22 can also be of a compound semiconductor material. The compound semiconductor material of substrate 22 can be selected, as needed for a particular semiconductor structure, from any of the Group IIIA and VA elements (III-V semiconductor compounds), mixed III-V compounds, Group II(A or B) and VIA elements (II-VI semiconductor compounds), and mixed II-VI compounds. Examples include gallium arsenide (GaAs), gallium indium arsenide (GaInAs), gallium aluminum arsenide (GaAlAs),

WO 02/09159

PCT/US01/22679

5

indium phosphide (InP), cadmium sulfide (CdS), cadmium mercury telluride (CdHgTe), zinc selenide (ZnSe), zinc sulfur selenide (ZnSSe), and the like.

Preferably, substrate 22 is a wafer containing
5 silicon or germanium, and most preferably is a high quality monocrystalline silicon wafer as used in the semiconductor industry. Accommodating buffer layer 24 is preferably a monocrystalline oxide or nitride material epitaxially grown on the underlying substrate. In
10 accordance with one embodiment of the invention, amorphous intermediate layer 28 is grown on substrate 22 at the interface between substrate 22 and the growing accommodating buffer layer by the oxidation of substrate 22 during the growth of layer 24. The amorphous
15 intermediate layer serves to relieve strain that might otherwise occur in the monocrystalline accommodating buffer layer as a result of differences in the lattice constants of the substrate and the buffer layer. As used herein, lattice constant refers to the distance between
20 atoms of a cell measured in the plane of the surface. If such strain is not relieved by the amorphous intermediate layer, the strain may cause defects in the crystalline structure of the accommodating buffer layer. Defects in the crystalline structure of the accommodating buffer
25 layer, in turn, would make it difficult to achieve a high quality crystalline structure in monocrystalline metallic oxide layer 26.

Accommodating buffer layer 24 is preferably a monocrystalline oxide or nitride material selected for its
30 crystalline compatibility with the underlying substrate and with the overlying metallic oxide material. For example, the material could be an oxide or nitride having a lattice structure matched to the substrate and to the subsequently applied metallic oxide material. Materials

WO 02/09159

PCT/US01/22679

6

that are suitable for the accommodating buffer layer include metal oxides such as the alkaline earth metal titanates, alkaline earth metal zirconates, alkaline earth metal hafnates, alkaline earth metal tantalates, alkaline earth metal ruthenates, alkaline earth metal niobates, alkaline earth metal vanadates, perovskite oxides such as alkaline earth metal tin-based perovskites, lanthanum aluminate, lanthanum scandium oxide, and gadolinium oxide. Additionally, various nitrides such as gallium nitride, aluminum nitride, and boron nitride may also be used for the accommodating buffer layer. Most of these materials are insulators, although strontium ruthenate, for example, is a conductor. Generally, these materials are metal oxides or metal nitrides, and more particularly, these metal oxide or nitrides typically include at least two different metallic elements. In some specific applications, the metal oxides or nitride may include three or more different metallic elements.

Amorphous interface layer 28 is preferably an oxide formed by the oxidation of the surface of substrate 22, and more preferably is composed of a silicon oxide. The thickness of layer 28 is sufficient to relieve strain attributed to mismatches between the lattice constants of substrate 22 and accommodating buffer layer 24. Typically, layer 28 has a thickness in the range of approximately 0.5-5 nm.

The metallic oxide material of layer 26 can be selected, as desired for a particular structure or application. For example, layer 26 can include a metallic oxide material having a desired property such as a material which exhibits piezoelectric, pyroelectric, ferromagnetic, colossal magneto resistive, or super conductive characteristics. Such materials include monoclinic, tetragonal, cubic, or perovskite metallic

WO 02/09159

PCT/US01/22679

7

oxide structures with the a general chemical formula ABO_3 , where A is selected from the group consisting of lead, lanthanum, niobium, scandium, and combinations thereof, and B is selected from the group consisting of zirconium, titanium, and combinations thereof:

5 (Pb,La,Na,Sc)(Zr,Ti) O_{3-x} , e.g., $PbZrTiO_3$, $PbNbZrTiO_3$, $PbScZrTiO_3$, $PbSrNbZrTiO_3$, $PbLiZrTiO_3$, $PbTiO_3$; ABO_3 , where A is selected from the group consisting of strontium, barium, calcium, and combinations thereof and B is selected from the group consisting of zirconium, hafnium, titanium, and combinations thereof: (Sr,Ba,Ca)(Zr,Hf,Ti) O_3 , e.g., $SrTiO_3$, $BaTiO_3$, $BaSrTiO_3$, $CaTiO_3$, $BaZrO_3$, $ACoO_3$, where A is selected from the group consisting of lanthanum, strontium, barium, zirconium, and combinations thereof:

10 (La,Sr,Ba,Zr) CoO_3 , e.g., $LaSrCoO_3$, $LaZrCoO_3$; $AE MnO_3$, where A is a rare earth element (e.g., lanthanum) and E is an alkali earth metal element (e.g., calcium, barium, or strontium): (La,Sr,Ba,Ca) MnO_3 , e.g., $LaSrMnO_3$, $LaCaMnO_3$; $ABa_nCu_nO_{3-n}$, where A is selected from the group consisting of yttrium, praseodymium, and combinations thereof and n is 7 or 8: (Y,Pr) $Ba_nCu_nO_{3-n}$, e.g., $YBa_7Cu_7O_3$, $YPrBa_7Cu_7O_3$; $ARuO_3$, where A is selected from the group consisting of strontium, barium, and combinations thereof: (Sr,Ba) RuO_3 ; $PbAO_3$, where A is selected from the group consisting of magnesium, niobium, and combinations thereof:

15 $Pb(Mg,Nb)O_3$; $GdFeO_3$; $YAlO_3$; $LaAlO_3$; $SrVO_3$; $SrCrO_3$; $BaAO_3$, where A is selected from the group consisting of lead, bismuth, and combinations thereof: $Ba(Pb,Bi)O_3$; $LaCoO_3$; $KNbO_3$; $NaWO_3$; $Bi_2Ti_2O_{11}$; $YMoO_4$; and $LaAO_3$, where A is selected from the group consisting of aluminum, scandium, and combinations thereof: $La(Al,Sc)O_3$.

20

25

30

Suitable template materials chemically bond to the surface of the accommodating buffer layer 24 at selected sites and provide sites for the nucleation of the

WO 02/09159

PCT/US01/22679

8

epitaxial growth of the subsequent metallic oxide layer 26. When used, template layer 30 has a thickness ranging from about one to about ten monolayers.

FIG. 2 illustrates, in cross section, a portion of a microelectronic structure 40 in accordance with a further embodiment of the invention. Structure 40 is similar to the previously described structure 20, except that an additional buffer layer 32 is positioned between accommodating buffer layer 24 and layer of monocrystalline metallic oxide material 26. Specifically, the additional buffer layer is positioned between optional template layer 30 (or layer 24 if no template layer exists) and the overlying layer of monocrystalline metallic oxide material. The additional buffer layer, formed of a monocrystalline oxide material, serves to provide a lattice compensation when the lattice constant of the accommodating buffer layer cannot be adequately matched to the overlying metallic oxide material layer.

FIG. 3 schematically illustrates, in cross section, a portion of a microelectronic structure 34 in accordance with another exemplary embodiment of the invention. Structure 34 is similar to structure 20, except that structure 34 includes an amorphous layer 36, rather than accommodating buffer layer 24 and amorphous interface layer 28, and an additional metallic oxide layer 38.

As explained in greater detail below, amorphous layer 36 may be formed by first forming an accommodating buffer layer and an amorphous interface layer in a similar manner to that described above. Monocrystalline metallic oxide layer 38 is then formed (by epitaxial growth) overlying the monocrystalline accommodating buffer layer. The accommodating buffer layer is then exposed to an anneal process to convert the monocrystalline accommodating buffer layer to an amorphous layer. Amorphous layer 36

WO 02/09159

PCT/US01/22679

9

- formed in this manner comprises materials from both the accommodating buffer and interface layers, which amorphous layers may or may not amalgamate. Thus, layer 36 may comprise one or two amorphous layers. Formation of
- 5 amorphous layer 36 between substrate 22 and metallic oxide layer 38 (subsequent to layer 38 formation) relieves stresses between layers 22 and 38 and provides a true compliant substrate for subsequent processing--e.g., metallic oxide layer 26 formation.
- 10 The processes previously described above in connection with FIGS. 1 and 2 are adequate for growing monocrystalline metallic oxide layers over a monocrystalline substrate. However, the process described in connection with FIG. 3, which includes transforming a
- 15 monocrystalline accommodating buffer layer to an amorphous oxide layer, may be better for growing monocrystalline metallic oxide layers because it allows any strain in layer 38 to relax prior to forming layer 26.
- 20 Metallic oxide layer 38 may include any of the materials described throughout this application in connection with either of metallic oxide layer 26 or additional buffer layer 32. For example, layer 38 may include the perovskite metallic oxides listed above as materials suitable for layer 26.
- 25 In accordance with one embodiment of the present invention, layer 38 serves as an anneal cap during layer 36 formation and as a template for subsequent metallic oxide layer 26 formation. Accordingly, layer 38 is preferably thick enough to provide a suitable template for
- 30 layer 26 growth (at least one monolayer) and thin enough to allow layer 38 to form as a substantially defect free monocrystalline metallic oxide (often less than about ten monolayers).

WO 02/09159

PCT/US01/22679

10

In accordance with another embodiment of the invention, monocrystalline metallic oxide layer 38 comprises a metallic oxide material (e.g., a material discussed above in connection with layer 26) that is thick enough to use a film for a desired microelectronic device. In this case, a microelectronic structure in accordance with the present invention does not include layer 26. In other words, the microelectronic structure in accordance with this embodiment only includes one metallic oxide layer disposed above amorphous oxide layer 36.

The following non-limiting, illustrative examples illustrate various combinations of materials useful in structures 20, 40, and 34 in accordance with various alternative embodiments of the invention. These examples are merely illustrative, and it is not intended that the invention be limited to these illustrative examples.

WO 02/09159

PCT/US01/22679

11

Example 1

In accordance with one embodiment of the invention, monocrystalline substrate 22 is a silicon substrate oriented in the (100) direction. The silicon substrate can be, for example, a silicon substrate as is commonly used in making complementary metal oxide semiconductor (CMOS) integrated circuits having a diameter of about 200-300 mm. In accordance with this embodiment of the invention, accommodating buffer layer 24 is a monocrystalline layer of $\text{Sr}_z\text{Ba}_{1-z}\text{TiO}_3$, where z ranges from 0 to 1 and the amorphous intermediate layer is a layer of silicon oxide (SiO_2) formed at the interface between the silicon substrate and the accommodating buffer layer. The value of z is selected to obtain one or more lattice constants closely matched to corresponding lattice constants of the subsequently formed layer 26. The accommodating buffer layer can have a thickness of about 2 to about 100 nanometers (nm) and preferably has a thickness of about 10 nm. In general, it is desired to have an accommodating buffer layer thick enough to isolate the metallic oxide layer from the substrate to obtain the desired properties. Layers thicker than 100 nm usually provide little additional benefit while increasing cost unnecessarily; however, thicker layers may be fabricated if needed. The amorphous intermediate layer of silicon oxide can have a thickness of about 0.5-5 nm, and preferably a thickness of about 1.5-2.5 nm.

In accordance with this embodiment of the invention, metallic oxide material layer 26 is a layer of strontium ruthenate (SrRuO_3) having a thickness of about 5 to about 500 nm and preferably a thickness of about 10 to about 100 nm. The thickness generally depends on the application for which the layer is being prepared.

WO 02/09159

PCT/US01/22679

12

Example 2

In accordance with another embodiment of the invention, a structure is provided that is suitable for the growth of an epitaxial film of $(\text{Pb}, \text{La}, \text{Nb}, \text{Sc}) (\text{Zr}, \text{Ti})\text{O}_3$ film overlying a silicon substrate. The substrate is preferably a silicon wafer as described above. A suitable accommodating buffer layer material is $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$, where x ranges from 0 to 1, having a thickness of about 2-100 nm and preferably a thickness of about 5-15 nm. The metallic oxide material can be, for example PbZrTiO_3 , having a thickness of about 50 nm to about 500 nm.

Referring again to FIGS. 1 - 3, substrate 22 is a monocrystalline substrate such as a monocrystalline silicon or gallium arsenide substrate. The crystalline structure of the monocrystalline substrate is characterized by a lattice constant and by a lattice orientation. In similar manner, accommodating buffer layer 24 is also a monocrystalline material and the lattice of that monocrystalline material is characterized by a lattice constant and a crystal orientation. The lattice constants of the accommodating buffer layer and the monocrystalline substrate must be closely matched or, alternatively, must be such that upon rotation of one crystal orientation with respect to the other crystal orientation, a substantial match in lattice constants is achieved. In this context the terms "substantially equal" and "substantially matched" mean that there is sufficient similarity between the lattice constants to permit the growth of a high quality crystalline layer on the underlying layer.

FIG. 4 graphically illustrates the relationship of the achievable thickness of a grown crystal layer of high

WO 02/09159

PCT/US01/22679

13

crystalline quality as a function of the mismatch between the lattice constants of the host crystal and the grown crystal. Curve 42 illustrates the boundary of high crystalline quality material. The area to the right of curve 42 represents layers that tend to be polycrystalline. With no lattice mismatch, it is theoretically possible to grow an infinitely thick, high quality epitaxial layer on the host crystal. As the mismatch in lattice constants increases, the thickness of achievable, high quality crystalline layer decreases rapidly. As a reference point, for example, if the lattice constants between the host crystal and the grown layer are mismatched by more than about 2%, monocrystalline epitaxial layers in excess of about 20 nm cannot be achieved.

In accordance with one embodiment of the invention, substrate 22 is a (100) or (111) oriented monocrystalline silicon wafer and accommodating buffer layer 24 is a layer of strontium barium titanate. Substantial matching of lattice constants between these two materials is achieved by rotating the crystal orientation of the titanate material by 45° with respect to the crystal orientation of the silicon substrate wafer. The inclusion in the structure of amorphous interface layer 28, a silicon oxide layer in this example, if it is of sufficient thickness, serves to reduce strain in the titanate monocrystalline layer that might result from any mismatch in the lattice constants of the host silicon wafer and the grown titanate layer. As a result, in accordance with an embodiment of the invention, a high quality, thick, monocrystalline titanate layer is achievable.

Still referring to FIGS. 1 - 3, layer 26 is a layer of epitaxially grown metallic oxide material and that

WO 02/09159

PCT/US01/22679

14

crystalline material is also characterized by a crystal lattice constant and a crystal orientation. In accordance with one embodiment of the invention, the lattice constant of layer 26 differs from the lattice constant of substrate

5 22. To achieve high crystalline quality in this epitaxially grown monocrystalline layer, the accommodating buffer layer must be of high crystalline quality. In addition, in order to achieve high crystalline quality in layer 26, substantial matching between the crystal lattice

10 constant of the host crystal, in this case, the monocrystalline accommodating buffer layer, and the grown crystal is desired. With properly selected materials, this substantial matching of lattice constants is achieved as a result of rotation of the crystal orientation of the

15 grown crystal with respect to the orientation of the host crystal. In some instances, a crystalline buffer layer between the host oxide and the grown metallic oxide layer can be used to reduce strain in the grown monocrystalline metallic oxide layer that might result from small

20 differences in lattice constants. Better crystalline quality in the grown monocrystalline metallic oxide layer can thereby be achieved.

The following example illustrates a process, in accordance with one embodiment of the invention, for

25 fabricating a microelectronic structure such as the structures depicted in FIGS. 1 - 3. The process starts by providing a monocrystalline semiconductor substrate comprising silicon or germanium. In accordance with a preferred embodiment of the invention, the semiconductor

30 substrate is a silicon wafer having a (100) orientation. The substrate is preferably oriented on axis or, at most, about 0.5° off axis. At least a portion of the semiconductor substrate has a bare surface, although other

WO 02/09159

PCT/US01/22679

15

portions of the substrate, as described below, may encompass other structures. The term 'bare' in this context means that the surface in the portion of the substrate has been cleaned to remove any oxides, contaminants, or other foreign material. As is well known, bare silicon is highly reactive and readily forms a native oxide. The term 'bare' is intended to encompass such a native oxide. A thin silicon oxide may also be intentionally grown on the semiconductor substrate, although such a grown oxide is not essential to the process in accordance with the invention. In order to epitaxially grow a monocrystalline oxide layer overlying the monocrystalline substrate, the native oxide layer must first be removed to expose the crystalline structure of the underlying substrate. The following process is preferably carried out by molecular beam epitaxy (MBE), although other epitaxial processes may also be used in accordance with the present invention. The native oxide can be removed by first thermally depositing a thin layer of strontium, barium, a combination of strontium and barium, or other alkali earth metals or combinations of alkali earth metals in an MBE apparatus. In the case where strontium is used, the substrate is then heated to a temperature of about 750° C to cause the strontium to react with the native silicon oxide layer. The strontium serves to reduce the silicon oxide to leave a silicon oxide-free surface. The resultant surface, which exhibits an ordered 2x1 structure, includes strontium, oxygen, and silicon. The ordered 2x1 structure forms a template for the ordered growth of an overlying layer of a monocrystalline oxide. The template provides the necessary chemical and physical properties to nucleate the crystalline growth of an overlying layer.

WO 02/09159

PCT/US01/22679

16

In accordance with an alternate embodiment of the invention, the native silicon oxide can be converted and the substrate surface can be prepared for the growth of a monocrystalline oxide layer by depositing an alkali earth metal oxide, such as strontium oxide, strontium barium oxide, or barium oxide, onto the substrate surface by MBE at a low temperature and by subsequently heating the structure to a temperature of about 750°C. At this temperature, a solid state reaction takes place between the strontium oxide and the native silicon oxide, causing the reduction of the native silicon oxide and leaving an ordered 2x1 structure with strontium, oxygen, and silicon remaining on the substrate surface. Again, this forms a template for the subsequent growth of an ordered monocrystalline oxide layer.

Following the removal of the silicon oxide from the surface of the substrate, in accordance with one embodiment of the invention, the substrate is cooled to a temperature in the range of about 200-800°C and a layer of strontium titanate is grown on the template layer by molecular beam epitaxy. The MBE process is initiated by opening shutters in the MBE apparatus to expose strontium, titanium and oxygen sources. The ratio of strontium and titanium is approximately 1:1. The partial pressure of oxygen is initially set at a minimum value to grow stoichiometric strontium titanate at a growth rate of about 0.3-0.5 nm per minute. After initiating growth of the strontium titanate, the partial pressure of oxygen is increased above the initial minimum value. The overpressure of oxygen causes the growth of an amorphous silicon oxide layer at the interface between the underlying substrate and the growing strontium titanate layer. The growth of the silicon oxide layer results from

WO 02/09159

PCT/US01/22679

17

the diffusion of oxygen through the growing strontium titanate layer to the interface where the oxygen reacts with silicon at the surface of the underlying substrate. The strontium titanate grows as an ordered monocrystal with the crystalline orientation rotated by 45° with respect to the ordered 2x1 crystalline structure of the underlying substrate. Strain that otherwise might exist in the strontium titanate layer because of the small mismatch in lattice constant between the silicon substrate and the growing crystal is relieved in the amorphous silicon oxide intermediate layer.

After the strontium titanate layer has been grown to the desired thickness, the monocrystalline strontium titanate may be capped by a template layer that is conducive to the subsequent growth of an epitaxial layer of a desired metallic oxide material. For example, the MBE growth of the strontium titanate monocrystalline layer can be capped by terminating the growth with 1-2 monolayers of titanium, 1-2 monolayers of titanium-oxygen or with 1-2 monolayers of strontium-oxygen. Following the formation of the template (if one is formed), the metallic oxide material is grown using MBE or other suitable techniques.

The structure illustrated in FIG. 2 can be formed by the process discussed above with the addition of an additional buffer layer deposition step. The buffer layer is formed overlying the template or accommodating buffer layer before the deposition of the monocrystalline metallic oxide layer. If the buffer layer is an oxide superlattice, such a superlattice can be deposited, by MBE for example, on the template described above.

Structure 34, illustrated in FIG. 3, may be formed by growing an accommodating buffer layer, forming an

WO 02/09159

PCT/US01/22679

18

amorphous oxide layer over substrate 22, and growing metallic oxide layer 38 over the accommodating buffer layer, as described above. The accommodating buffer layer and the amorphous oxide layer are then exposed to an
5 anneal process sufficient to change the crystalline structure of the accommodating buffer layer from monocrystalline to amorphous, thereby forming an amorphous layer such that the combination of the amorphous oxide layer and the now amorphous accommodating buffer layer
10 form a single amorphous oxide layer 36. Layer 26 is then subsequently grown over layer 38. Alternatively, the anneal process may be carried out subsequent to growth of layer 26.

In accordance with one aspect of this embodiment,
15 layer 36 is formed by exposing substrate 22, the accommodating buffer layer, the amorphous oxide layer, and layer 38 to a rapid thermal anneal process with a peak temperature of about 700°C to about 1000°C and a process time of about 10 seconds to about 10 minutes. However,
20 other suitable anneal processes may be employed to convert the accommodating buffer layer to an amorphous layer in accordance with the present invention. For example, laser annealing or "conventional" thermal annealing processes (in the proper environment) may be used to form layer 36.
25 When conventional thermal annealing is employed to form layer 36, an overpressure of one or more constituents of layer 30 may be required to prevent degradation of layer 38 during the anneal process.

As noted above, layer 38 of structure 34 may include
30 any materials suitable for either of layers 32 or 26. Accordingly, any deposition or growth methods described in connection with either layer 32 or 26 may be employed to deposit layer 38.

WO 02/09159

PCT/US01/22679

19

The process described above illustrates a process for forming a semiconductor structure including a silicon substrate, an overlying oxide layer, and a monocrystalline metallic oxide layer by the process of molecular beam epitaxy. The process can also be carried out by the process of chemical vapor deposition (CVD), metal organic chemical vapor deposition (MOCVD), migration enhanced epitaxy (MEE), atomic layer epitaxy (ALE), physical vapor deposition (PVD), chemical solution deposition (CSD), pulsed laser deposition (PLD), or the like. Further, by a similar process, other monocrystalline accommodating buffer layers such as alkaline earth metal titanates, zirconates, hafnates, tantalates, vanadates, ruthenates, and niobates, perovskite oxides such as alkaline earth metal tin-based perovskites, lanthanum aluminate, lanthanum scandium oxide, and gadolinium oxide can also be grown. Further, by a similar process such as MBE, other metallic oxide layers can be deposited overlying the monocrystalline oxide accommodating buffer layer. For example, the metallic oxide may be grown via PLD, by ablating a target of the desired material with an excimer laser and heating the substrate to a temperature of about 300 °C to about 500 °C.

Each of the variations of metallic oxide materials and monocrystalline oxide accommodating buffer layer may use an appropriate template for initiating the growth of the respective layer. In such a case, suitable template materials may be grown according to the methods described above in connection with growing layer 26.

In the foregoing specification, the invention has been described with reference to specific embodiments. However, one of ordinary skill in the art appreciates that various modifications and changes can be made without departing from the scope of the present invention as set

WO 02/09159

PCT/US01/22679

20

forth in the claims below. Accordingly, the specification and figures are to be regarded in an illustrative rather than a restrictive sense, and all such modifications are intended to be included within the scope of present

5 invention.

Benefits, other advantages, and solutions to problems have been described above with regard to specific embodiments. However, the benefits, advantages, solutions to problems, and any element(s) that may cause any
10 benefit, advantage, or solution to occur or become more pronounced are not to be construed as a critical, required, or essential features or elements of any or all the claims. As used herein, the terms "comprises," "comprising," or any other variation thereof, are intended
15 to cover a non-exclusive inclusion, such that a process, method, article, or apparatus that comprises a list of elements does not include only those elements but may include other elements not expressly listed or inherent to such process, method, article, or apparatus.

20

WO 02/09159

PCT/US01/22679

21

CLAIMS

We claim:

1. A perovskite oxide structure comprising:
5 a monocrystalline semiconductor substrate;
an amorphous layer overlying the monocrystalline semiconductor substrate;
10 a monocrystalline layer comprising $\text{Sr}_{1-x}\text{Ba}_x\text{TiO}_3$, where x ranges from 0 to 1 overlying the amorphous layer; and
a monocrystalline perovskite oxide layer overlying
15 the monocrystalline layer.
2. The perovskite oxide structure of claim 1 wherein the monocrystalline semiconductor substrate comprises silicon.
- 20 3. The perovskite oxide structure of claim 2 wherein the amorphous layer comprises silicon oxide.
4. The perovskite oxide structure of claim 3 wherein the amorphous oxide layer has a thickness sufficient to
25 relieve strain in the monocrystalline layer.
5. The perovskite oxide structure of claim 1 wherein the monocrystalline perovskite oxide layer comprises a material having a property selected from the group
30 consisting of piezoelectricity, ferroelectricity, pyroelectricity, ferromagnetism, colossal magneto resistivity, and superconductivity.

WO 02/09159

PCT/US01/22679

22

6. The perovskite oxide structure of claim 1 wherein the
monocrystalline layer is characterized by a first lattice
constant determined, in part, by the value of x and
wherein the perovskite oxide layer is characterized by a
5 second lattice constant and wherein the value of x is
varied to substantially match the first and second lattice
constants.

7. The perovskite oxide structure of claim 1 wherein the
10 monocrystalline perovskite oxide layer has a composition
 ABO_3 , where A is selected from the group consisting of lead,
lanthanum, niobium, scandium, and combinations thereof,
and B is selected from the group consisting of zirconium,
titanium, and combinations thereof.

15 8. The perovskite oxide structure of claim 1 wherein the
monocrystalline perovskite oxide layer has a composition
 ABO_3 , where A is selected from the group consisting of
strontium, barium, calcium, and combinations thereof and B
20 is selected from the group consisting of zirconium,
hafnium, titanium, and combinations thereof.

9. The perovskite oxide structure of claim 1 wherein the
monocrystalline perovskite oxide layer has a composition
25 $ACoO_3$, where A is selected from the group consisting of
lanthanum, strontium, barium, zirconium, and combinations
thereof.

10. The perovskite oxide structure of claim 1
30 wherein the monocrystalline perovskite oxide layer has a
composition $ABMnO_3$, where A is a rare earth element and B is
an alkali earth metal element.

WO 02/09159

PCT/US01/22679

23

11. The perovskite oxide structure of claim 10 wherein the rare earth element comprises lanthanum and the alkali earth metal element is selected from the group consisting of calcium, strontium, and barium.

5

12. The perovskite oxide structure of claim 1 wherein the monocrystalline perovskite oxide layer has a composition $ABa_nCu_nO_n$, where A is selected from the group consisting of yttrium, praseodymium, and combinations thereof and n is 7 or 8.

10

13. The perovskite oxide structure of claim 1 wherein the monocrystalline perovskite oxide layer has a composition $ARuO$, where A is selected from the group consisting of strontium, barium, and combinations thereof.

15

14. The perovskite oxide structure of claim 1 wherein the monocrystalline perovskite oxide layer has a composition $PbAO$, where A is selected from the group consisting of magnesium, niobium, and combinations thereof.

20

15. The perovskite oxide structure of claim 1 wherein the monocrystalline perovskite oxide layer has a composition $BaAO$, where A is selected from the group consisting of lead, bismuth, and combinations thereof.

25

16. The perovskite oxide structure of claim 1 wherein the monocrystalline perovskite oxide layer has a composition $LaAO$, where A is selected from the group consisting of aluminum, scandium, and combinations thereof.

30

WO 02/09159

PCT/US01/22679

24

17. The perovskite oxide structure of claim 1 wherein the monocrystalline perovskite oxide layer has a composition selected from the group consisting of GdFeO_3 , YAlO_3 , LaAlO_3 , SrCrO_3 , SrVO_3 , LaCoO_3 , KNbO_3 , NaNbO_3 , $\text{Bi}_2\text{TiO}_{12}$, YMnO_3 , and LaScO_3 .

18. A perovskite oxide structure comprising:

10 a monocrystalline semiconductor substrate;

a first perovskite layer epitaxially grown on the semiconductor substrate;

a strain relief oxide layer formed on the semiconductor substrate underlying the first perovskite layer; and

15 a second perovskite layer having a different composition than the first perovskite layer epitaxially grown on the first perovskite layer.

19. The perovskite oxide structure of claim 18 wherein the monocrystalline semiconductor substrate comprises a Group IV element.

20. The perovskite oxide structure of claim 19 wherein the monocrystalline semiconductor substrate comprises silicon.

21. The perovskite oxide structure of claim 20 wherein the strain relief oxide comprises silicon oxide.

WO 02/09159

PCT/US01/22679

25

22. The perovskite oxide structure of claim 18 wherein the second perovskite layer is substantially lattice matched to the first perovskite layer.

5 23. The perovskite oxide structure of claim 18 wherein the second perovskite layer comprises a material having a property selected from the group consisting of piezoelectricity, ferroelectricity, pyroelectricity, ferromagnetism, colossal magneto resistivity, and
10 superconductivity.

24. The perovskite oxide structure of claim 18 wherein the first perovskite layer comprises $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$, where x ranges from 0 to 1.
15

25. A perovskite oxide structure comprising:

a monocrystalline silicon substrate;

20 a silicon oxide overlying the substrate;

a layer of $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$, where x ranges from 0 to 1 epitaxially grown overlying the substrate; and

25 a perovskite oxide layer epitaxially grown overlying and substantially lattice matched to the layer of $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$.

26. A process for fabricating a perovskite oxide
30 structure comprising the steps of:

providing a monocrystalline silicon substrate;

WO 02/09159

PCT/US01/21679

26

forming a first template layer overlying the substrate;

5 growing a first layer of monocrystalline oxide overlying the first template layer;

growing a first amorphous layer of silicon oxide on the substrate during the step of growing a first layer;

10 forming a second template layer overlying the first layer; and

growing a second layer of monocrystalline perovskite oxide overlying the second template layer.

15 27. The process of claim 26 wherein the step of forming a first template layer comprises the steps of:

20 depositing a layer of strontium overlying the substrate; and

heating the substrate to react the strontium.

28. The process of claim 26 wherein the step of forming a first template layer comprises the step of forming a layer comprising silicon, strontium, and oxygen.

29. The process of claim 26 wherein the step of forming a first template layer comprises the steps of:

30 depositing a layer of strontium oxide overlying the substrate; and

heating the substrate to react the strontium oxide.

WO 02/09159

PCT/US01/22679

27

30. The process of claim 26 wherein the step of growing a first layer of monocrystalline oxide comprises the step of growing a layer of monocrystalline $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$, where x ranges from 0 to 1.

31. The process of claim 30 wherein the step of growing a first layer of monocrystalline oxide comprises growing a first layer of monocrystalline oxide by a process selected from the group consisting of molecular beam epitaxy, chemical vapor deposition, metal organic chemical vapor deposition, migration enhanced epitaxy, atomic layer epitaxy, physical vapor deposition, chemical solution deposition, and pulsed laser deposition.

32. The process of claim 30 wherein the step of forming a second template layer comprises the step of forming 1 - 10 monolayers of a material selected to nucleate the monocrystalline growth of the second layer.

33. The process of claim 30 wherein the step of growing a second layer comprises the step of growing a monocrystalline perovskite oxide substantially lattice matched to the $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$.

34. The process of claim 30 wherein the step of growing a second layer comprises growing a monocrystalline perovskite oxide by a process selected from the group consisting of molecular beam epitaxy, chemical vapor deposition, metal organic chemical vapor deposition, migration enhanced epitaxy, atomic layer epitaxy, physical vapor deposition, chemical solution deposition, and pulsed laser deposition.

WO 02/09159

PCT/US01/22679

28

35. The process of claim 26 wherein the step of growing a second layer comprises the steps of:

5 placing the substrate in a pulsed laser deposition system;

providing a perovskite oxide target in the pulsed laser deposition system;

10 heating the substrate to a temperature between about 300°C and about 500°C; and

ablating the target using a laser.

15 36. The process of claim 35 wherein the process of ablating the target comprises the step of ablating the target with an excimer laser.

20 37. A process for fabricating a perovskite oxide structure comprising the steps of:

providing a monocrystalline substrate;

25 growing a first layer of monocrystalline oxide overlying the substrate;

growing a strain release layer underlying the first layer; and

30 growing a monocrystalline perovskite oxide layer overlying the first layer.

WO 02/09159

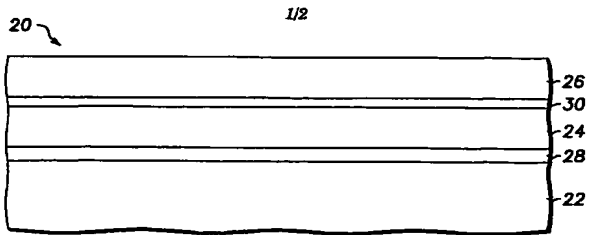
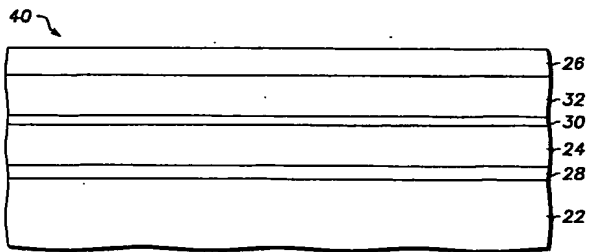
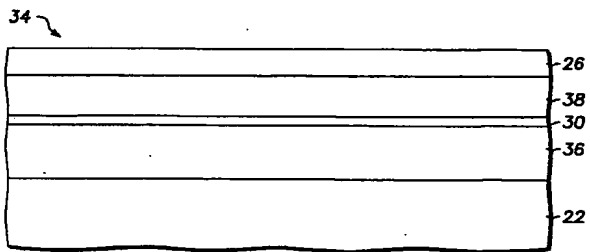
PCT/US01/22679

29

38. The process of claim 37 wherein the step of growing a first layer comprises the step of growing a layer comprising $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$, where x ranges from 0 to 1.
- 5 39. The process of claim 37 wherein the step of growing a monocrystalline perovskite oxide layer comprises the step of growing a perovskite oxide layer substantially lattice matched to the first layer.
- 10 40. The process of claim 37 wherein the step of growing a monocrystalline perovskite oxide layer comprises the step of growing a perovskite oxide layer by a process selected from the group consisting of molecular beam epitaxy, chemical vapor deposition, metal organic chemical
- 15 vapor deposition, migration enhanced epitaxy, atomic layer epitaxy, physical vapor deposition, chemical solution deposition, and pulsed laser deposition.
41. A process for fabricating a perovskite oxide
- 20 structure comprising the steps of:
- growing a first layer comprising $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$, where x ranges from 0 to 1; and
- 25 growing a second layer of monocrystalline perovskite oxide overlying the first layer.
42. The process of claim 41 wherein the step of growing a second layer comprises growing a second layer
- 30 substantially lattice matched to the first layer.

WO 02/09159

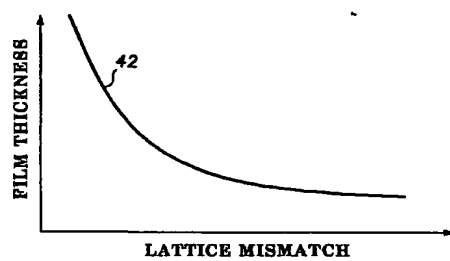
PCT/US01/22679

**FIG. 1****FIG. 2****FIG. 3**

WO 02/09159

PCT/US01/22679

2/2

**FIG. 4**

【 国際公開パンフレット（コレクトバージョン） 】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
31 January 2002 (31.01.2002)

PCT

(10) International Publication Number
WO 02/09159 A3(51) International Patent Classification: C30B 29/22,
25/18, 23/02, H01L 41/22, 39/24, 37/02, 21/016, H01P
41/14

(21) International Application Number: PCT/US01/22679

(22) International Filing Date: 19 July 2001 (19.07.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data: 09/524,877 24 July 2000 (24.07.2000) US

(71) Applicant: MOTOROLA, INC. (US/US); 1303 East Algonquin Road, Schaumburg, IL 60196 (US).

(72) Inventors: EISENREISER, Karl; 9442 South Beck Avenue, Tempe, AZ 85284 (US). FINDER, Jeffrey, M.; 1421 West Canary Way, Chandler, AZ 85248 (US). RAM-DANI, Jamshid; 822 West Devon Drive, Gilbert, AZ 85233 (US). DROOPAD, Ravindranath; 4515 West Tyson Street, Chandler, AZ 85226 (US). OOMS, William, Jay; 7200 West Dillon Wash Road, Prescott, AZ 86305 (US).

(74) Agent: WUAMETT, JENNIFER B.; Motorola, Inc., Intellectual Property Department, AZ 11/56-238, 3102 North 56th Street, Phoenix, AZ 85018 (US).

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MEZ, NO, NZ, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

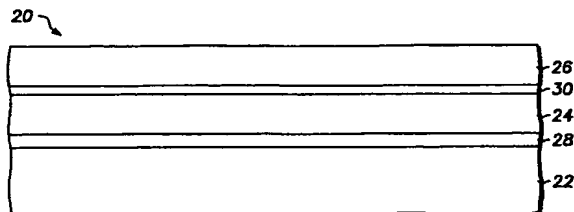
(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TT, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LI, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
— with international search report
— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

(88) Date of publication of the international search report: 25 April 2002

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: THIN-FILM METALLIC OXIDE STRUCTURE AND PROCESS FOR FABRICATING SAME



(57) Abstract: High quality epitaxial layers (26) of oxide materials can be grown overlying large silicon wafers (22) by first growing an accommodating buffer layer (24) on a silicon wafer. The accommodating buffer layer is a layer of monocrystalline oxide spaced apart from the silicon wafer by an amorphous interface layer (28) of silicon oxide. The amorphous interface layer dissipates strain and permits the growth of a high quality monocrystalline oxide accommodating buffer layer. Any lattice mismatch between the accommodating buffer layer and the underlying silicon substrate is taken care of by the amorphous interface layer. The oxide materials may be piezoelectric, ferroelectric, pyroelectric, ferromagnetic, magnetoresistive, or superconductive materials, preferably of perovskite type.

WO 02/09159 A3

【国際調査報告】

INTERNATIONAL SEARCH REPORT		Int. Application No. PCT/US 01/22679
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 C30B29/22 C30B25/18 C30B23/02 H01L41/22 H01L39/24 H01L37/02 H01L21/316 H01F41/14		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 C30B H01L C23C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
INSPEC, COMPENDEX, EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 013, no. 251 (E-771), 12 June 1989 (1989-06-12) & JP 01 050575 A (NEC CORP), 27 February 1989 (1989-02-27)	1-5, 12, 18-21, 23-25, 37, 40, 41
Y	abstract -& JP 01 050575 A (NEC CORP) 27 February 1989 (1989-02-27) page 4; figure 2 -/-	6-11, 13, 15-17, 22, 39, 42
<input checked="" type="checkbox"/> Further documents are listed in the continuation of this C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "C" earlier document but published on or after the international filing date "L" documents which may throw doubts on priority claims or which do clearly establish the publication date of another citation or other special reason (as specified) "O" document relating to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is considered with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document prior art of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
18 February 2002		22/02/2002
Name and mailing address of the ISA European Patent Office, P.O. Box 29119, Munich 2 NL - 2280 HW Rijswijk Tel. (+31-70) 340-2040, Telex 31 451 epo nl, Fax: (+31-70) 340-3010		Authorized officer Köpf, C

Form PCT/ISA/210 (second sheet) July 1999

INTERNATIONAL SEARCH REPORT

 No. of International Application No.
 PCT/US 01/22679

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Reference to claim No.
X Y A	US 5 650 646 A (SUMMERFELT SCOTT R) 22 July 1997 (1997-07-22) the whole document	41 7, 17 1-3, 5, 18-21, 23, 24, 26, 30, 31, 37, 38, 40
X Y A	WO 98 05807 A (LOCKHEED MARTIN ENERGY RESEARCH CORP) 12 February 1998 (1998-02-12) page 6, line 11 -page 24, line 4 page 28, line 4 -page 29, line 14 figure 2	41 7, 8, 16, 17 1, 2, 5, 6, 18-20, 23, 24, 26, 27, 29-34, 37, 38, 40
Y A	WO 94 03908 A (BELL COMMUNICATIONS RESEARCH INC) 17 February 1994 (1994-02-17) page 2, line 31 -page 9, line 40 page 12; figure 1	6-9, 13, 17, 22, 39, 42 1, 2, 5, 18-20, 23, 37, 40, 41
Y A	ZHANG W ET AL: "Enhanced magnetoresistance in La-Ca-Mn-O films on Si substrates using YBaCuO/CeO2 heterostructures" PHYSICA C, vol. 282-287, no. 2003, 1 August 1997 (1997-08-01), pages 1231-1232, XP004120380 ISSN: 0921-4534 the whole document	10, 11 1, 2, 5, 18-20, 22, 23, 37, 39, 40
	-/-	

INTERNATIONAL SEARCH REPORT

Int. Patent Application No.
PCT/US 01/22679

C. (Continued) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	INADA S ET AL: "Epitaxial growth of ferroelectric YMnO_3 thin films on $\text{Si}(111)$ substrates by molecular beam epitaxy" JAPANESE JOURNAL OF APPLIED PHYSICS, PART 1 (REGULAR PAPERS, SHORT NOTES & REVIEW PAPERS), vol. 37, no. 12A, December 1998 (1998-12), pages 6497-6501, XP000927318 ISSN: 0021-4922	17
A	the whole document	1-3, 5, 18-21, 23, 25, 37, 40
Y	US 5 656 382 A (NASHIMOTO KEIICHI) 12 August 1997 (1997-08-12)	15
A	column 4, line 56 -column 8, line 25; example 4	1, 2, 5, 18-20, 23, 37, 40

II INTERNATIONAL SEARCH REPORT
Information on patent family members

Int. Appl. No.
PCT/US 01/22679

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 01050575	A	27-02-1989	NONE
US 5650646	A	22-07-1997	US 5393352 A 28-02-1995 US 5912486 A 15-06-1999 DE 69325614 D1 19-08-1999 DE 69325614 T2 13-01-2000 EP 0568064 A2 03-11-1993 JP 6224184 A 12-08-1994
WO 9805807	A	12-02-1998	US 5830270 A 03-11-1998 AU 3903497 A 25-02-1998 EP 0950132 A1 20-10-1999 JP 2000517280 T 26-12-2000 WO 9805807 A1 12-02-1998 US 6023082 A 08-02-2000 US 6093242 A 25-07-2000
WO 9403908	A	17-02-1994	US 5155658 A 13-10-1992 US 5270298 A 14-12-1993 CA 2131100 A1 06-09-1993 EP 0632925 A1 11-01-1995 JP 7504784 T 25-05-1995 WO 9318531 A1 16-09-1993 WO 9403908 A1 17-02-1994 CA 2141566 A1 17-02-1994 EP 0654169 A1 24-05-1995 JP 2819067 B2 30-10-1998 JP 7509689 T 26-10-1995
US 5656382	A	12-08-1997	JP 3186381 B2 11-07-2001 JP 7113198 A 23-05-1995 JP 3199091 B2 13-08-2001 JP 7113199 A 23-05-1995 JP 7130232 A 19-05-1995 US 5650362 A 22-07-1997

Form PCT/ISA210 (patent family search) (July 1992)

フロントページの続き

(81) 指定国 AP (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW

(72) 発明者 ファインダー、ジェフリー エム.

アメリカ合衆国 8 5 2 4 8 アリゾナ州 チャンドラー ウェスト カナリー ウェイ 1 4 2
1

(72) 発明者 ラムダーニ、ジャマール

アメリカ合衆国 8 5 2 3 3 アリゾナ州 ギルバート ウェスト デヴォン ドライブ 8 2 2

(72) 発明者 ドルーバッド、ラビンドラナス

アメリカ合衆国 8 5 2 2 6 アリゾナ州 チャンドラー ウェスト タイソン ストリート 4
5 1 5

(72) 発明者 ウームス、ウィリアム ジェイ

アメリカ合衆国 8 6 3 0 5 アリゾナ州 プレスコット ウェスト ディロン ウォッシュ
ロード 7 2 0 0

F ターム(参考) 5F052 EA11 KA02

5F058 BA20 BD02 BD04 BD05 BF02 BF11 BJ01